

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-183692

(P2002-183692A)

(43)公開日 平成14年6月28日(2002.6.28)

(51)Int.Cl.⁷

識別記号

F I

テームコード*(参考)

G 0 6 K 19/07

B 4 2 D 15/10

G 0 6 F 1/12

G 0 6 K 17/00

5 2 1

B 4 2 D 15/10

G 0 6 K 17/00

19/00

G 0 6 F 1/04

5 2 1

2 C 0 0 5

D 5 B 0 3 5

N 5 B 0 5 8

3 4 0 D

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21)出願番号

特願2000-379590(P2000-379590)

(22)出願日

平成12年12月14日(2000.12.14)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 坂東 秀明

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100082762

弁理士 杉浦 正知

Fターム(参考) 2C005 MA20 MA40 MB03 SA27

5B035 AA02 BB09 BC00 CA12 CA22

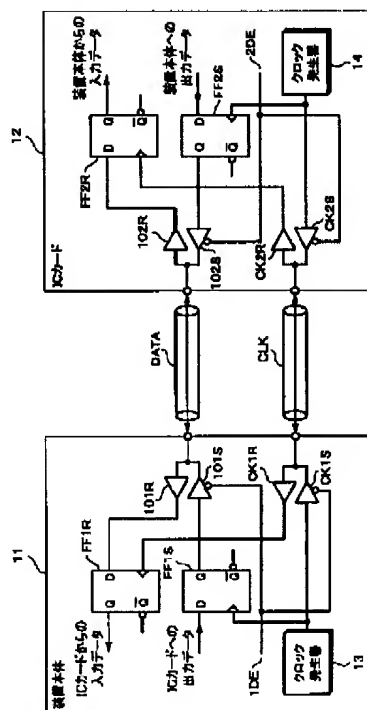
5B058 CA13 KA02 KA04 YA20

(54)【発明の名称】 ICカードおよびICカードシステム

(57)【要約】

【課題】 装置本体とICカードの間での通信をより高速とすることを可能とする。

【解決手段】 装置本体11からICカード12に対してデータを送信する場合には、クロック信号が(バッファCK1S→伝送路CLK→バッファCK2R)を経て、FF2Rのクロック入力へと入力される。データ信号は、クロック信号の上昇エッジに同期してFF1Sから出力され、(バッファ101S→伝送路DATA→バッファ102R)を経て、FF2Rのデータ入力へ入力され、取り込まれる。ICカード12から装置本体11に対してデータを送信する場合には、クロック信号が(バッファCK2S→伝送路CLK→バッファCK1R)を経て、FF1Rのクロック入力へ入力される。データ信号は、クロック信号の上昇エッジに同期してFF2Sから出力され、(バッファ102S→伝送路DATA→バッファ101R)を経て、FF1Rのデータ入力へ入力され、取り込まれる。



【特許請求の範囲】

【請求項 1】 装置本体に対してリムーバブルな IC カードにおいて、

データ用端子とクロック用端子を有し、

上記クロック用端子を介して装置本体からクロック信号を受け取り、上記クロック用端子から装置本体に対してクロック信号を送出することが可能とされた IC カード。

【請求項 2】 請求項 1 において、

上記クロック用端子がクロック信号の受け取りと送出で兼用されるようにした IC カード。

【請求項 3】 請求項 1 において、

上記クロック用端子がクロック信号の受け取りと送出で別々に設けられるようにした IC カード。

【請求項 4】 装置本体とリムーバブルな IC カードとからなる IC カードシステムにおいて、データ用伝送路とクロック用伝送路とを含むインターフェース手段とを有し、

上記インターフェース手段は、

装置本体から IC カードに対して上記クロック用伝送路を介して第 1 のクロック信号が伝送されると共に、上記第 1 のクロック信号と同期して上記データ用伝送路を介してデータが送信され、

IC カードから装置本体に対して上記クロック用伝送路を介して第 2 のクロック信号が伝送されると共に、上記第 2 のクロック信号と同期して上記データ用伝送路を介してデータが送信されるように構成された IC カードシステム。

【請求項 5】 請求項 4 において、

上記クロック用伝送路が上記第 1 および第 2 のクロック信号で兼用されるようにした IC カードシステム。

【請求項 6】 請求項 4 において、

上記クロック用伝送路が上記第 1 および第 2 のクロック信号で別々に設けられるようにした IC カードシステム。

【請求項 7】 請求項 6 において、

上記第 1 および第 2 のクロック信号が装置本体内のクロック発生手段で形成されたものである IC カードシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えばフラッシュメモリを有し、データ処理装置本体に対してリムーバブルな IC カードおよび IC カードシステムに関する。

【0002】

【従来の技術】 図 1 は、従来の装置本体 1 と IC カード 2 間のデータ通信方法を示すブロック図である。装置本体 1 と IC カード 2 間でデータ通信を行うために、クロック信号とこれに同期して入出力されるデータ信号とが使用される。データ信号は双方向通信であるが、クロッ

ク信号は装置本体 1 から IC カード 2 側へ片方向通信とされている。

【0003】 図 2 は、図 1 のシステムの詳細を示すブロック図である。FF1R、FF1S、FF2R、FF2S がそれぞれフリップフロップであり、データ入力 D、データ出力 Q を備えている。101R、102R、CLK1 がそれぞれ入力バッファであり、101S、102S、CLK0 がそれぞれ出力バッファである。101S、102S、101R、102R はトライステートバッファで構成されている。装置本体 1 側は、クロック信号を発生するためのクロック発生器 3 を備えている。また 1DE、2DE は、制御信号であり、DATA、CLK は、装置本体 1 と IC カード 2 間のデータ用伝送路およびクロック用伝送路である。

【0004】 まず、装置本体 1 から IC カード 2 方向にデータ通信をする場合について説明する。トライステートバッファ 101S が制御信号 1DE により出力カインーブル状態にセットされ、トライステートバッファ 102S が制御信号 2DE により出力ハイインピーダンス状態にセットされる。したがって、データは、フリップフロップ FF1S からフリップフロップ FF2R へ伝送される。クロック信号は、装置本体 1 のクロック発生器 3 により生成され、（出力バッファ CLK0 → 伝送路 CLK → 入力バッファ CLK1）という経路を経て、フリップフロップ FF2R のクロック入力へ入力される。

【0005】 データ信号は、クロック発生器 3 からフリップフロップ FF1S クロック入力へ入力されるクロック信号の上昇（立ち上がり）エッジに同期してフリップフロップ FF1S から出力され、（出力バッファ 101S → 伝送路 DATA → 入力バッファ 102R）という経路を経て、フリップフロップ FF2R データ入力へ入力され、フリップフロップ FF2R のクロック入力の上昇エッジに同期して取り込まれる。

【0006】 次に IC カード 2 から装置本体 1 方向にデータ通信をする場合について説明する。トライステートバッファ 101S が制御信号 1DE により出力ハイインピーダンス状態にセットされ、トライステートバッファ 102S が制御信号 2DE により出力カインーブル状態にセットされる。したがって、フリップフロップ FF2S からフリップフロップ FF1R へのデータ伝送となる。クロック信号は、装置本体 1 のクロック発生器 3 により生成され、フリップフロップ FF1R のクロック入力へ入力される。

【0007】 データ信号は、（クロック発生器 3 → 出力バッファ CLK0 → 伝送路 CLK → 入力バッファ CLK1）という経路を経てフリップフロップ FF2S クロック入力へ入力されるクロック信号の上昇エッジに同期してフリップフロップ FF2S から出力され、（出力バッファ 102S → 伝送路 DATA → 入力バッファ 101R）という経路を経て、フリップフロップ FF1R デー

3

タ入力へ入力され、フリップフロップFF1Rのクロック入力の上昇エッジに同期して取り込まれる。

【0008】図3は、ICカード2から装置本体1方向のデータ通信を示すシステム構成図である。また図4は、図3のタイミングチャートである。以下、図3および図4について説明する。

【0009】ICカード2から装置本体1方向のデータ通信は、図3に示しているように、フリップフロップFF2SからフリップフロップFF1Rへのデータ通信となる。フリップフロップFF1Rのクロック信号に対して、フリップフロップFF2Sのクロック信号は、出力バッファCLK0の遅延と伝送路CLKの遅延と入力バッファCLK1の遅延の合計値の遅延を有する。この遅延をクロック遅延TD1と表記する。

【0010】また、フリップフロップFF2Sクロック入力の上昇エッジのタイミングから、フリップフロップFF1Rデータ入力に到達するまでの遅延はフリップフロップFF2Sの遅延と出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値となる。このフリップフロップFF2Sの遅延をデータ遅延TD3と表記し、出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値をデータ遅延TD2と表記する。

【0011】

【発明が解決しようとする課題】フリップフロップFF2Sのクロック入力に同期して出力されたデータは、次のフリップフロップFF1Rのクロック入力の上昇エッジまでに、フリップフロップFF1Rのデータ入力に到達しなければならない。しかしながら、クロック遅延TD1とデータ遅延TD2、TD3があるために、タイミング余裕が図4に示すように、不十分となる。その結果、より高速に通信するためにクロック周期を短くしたとしても、(遅延TD1+遅延TD2+遅延TD3)の遅延値以下のクロック周期にすることができないという問題があった。

【0012】従って、この発明の目的は、クロック信号とデータ信号の遅延時間の差をなくすように構成することで、ICカードから出力されるデータの通信をより高速に行うことができ、大量のデータを短時間で伝送することができるICカードおよびICカードシステムを提供することにある。

【0013】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、装置本体に対してリムーバブルなICカードにおいて、データ用端子とクロック用端子を有し、クロック用端子を介して装置本体からクロック信号を受け取り、クロック用端子から装置本体に対してクロック信号を送出することが可能とされたICカードである。

【0014】請求項4の発明は、装置本体とリムーバ

4

ルなICカードとからなるICカードシステムにおいて、データ用伝送路とクロック用伝送路とを含むインターフェース手段とを有し、インターフェース手段は、装置本体からICカードに対してクロック用伝送路を介して第1のクロック信号が伝送されると共に、第1のクロック信号と同期してデータ用伝送路を介してデータが送信され、ICカードから装置本体に対してクロック用伝送路を介して第2のクロック信号が伝送されると共に、第2のクロック信号と同期してデータ用伝送路を介してデータが送信されるように構成されたICカードシステムである。

【0015】この発明では、ICカードから装置本体に対してデータを送信する場合において、クロック信号を双方向通信とし、データ信号とクロック信号を共にICカードから装置本体に対して送信し、さらに、データ信号とクロック信号間の遅延時間の差を無くすように構成することで、クロック周期をより短くできるようにして、より高速の通信を可能としたものである。

【0016】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。最初に、この発明が適用することができるICカード(メモリ装置)の一例について説明する。

【0017】図5は、装置本体21とICカード26とからなるシステムの構成を示す。装置本体21は、データ処理部22と、レジスタ23と、ホスト側シリアルインターフェイス回路24と、ホスト側コントローラ25とを備えている。また、ICカード26は、外観がカード状の記憶媒体であり、装置本体21に接続されて外部記憶装置として用いられる。ICカード26は、メモリ27と、レジスタ28と、カード側シリアルインターフェイス回路29と、カード側コントローラ30とを備えている。

【0018】装置本体21のデータ処理部22は、ICカード26に記憶したデータを読み出して各種データ処理を行い、また、各種データ処理をしてICカード26に書き込むデータを生成する。すなわち、このデータ処理部22は、ICカード26を用いる例えばコンピュータ操作や、デジタルオーディオ信号の記録再生装置、カメラ装置等のオーディオビジュアル機器のデータ処理回路となる。

【0019】レジスタ23は、データ処理部22とホスト側シリアルインターフェイス24とのバッファである。つまり、装置本体21は、データ処理部22からホスト側シリアルインターフェイス回路24にデータを供給する場合は、データをこのレジスタ23に一時的格納した後にホスト側シリアルインターフェイス回路24に供給する。同様に、装置本体21は、ホスト側シリアルインターフェイス回路24からデータ処理部22にデータを供給する場合は、データを、このレジスタ23に一時的

5

格納した後にデータ処理部 22 に供給する。

【0020】ホスト側シリアルインターフェイス回路 24 は、データ処理部 22 からレジスタ 23 を介して供給されたデータおよびホスト側コントローラ 25 から供給されるコマンドをシリアル信号に変換して IC カード 26 に供給する。また、ホスト側シリアルインターフェイス回路 24 は、IC カード 26 から供給されたシリアル信号のデータおよびコマンドをパラレル信号に変換して、データ処理部 22 およびホスト側コントローラ 25 に供給する。

【0021】また、ホスト側シリアルインターフェイス回路 24 は、各種データおよびコマンドの同期信号 (CLK) 等を IC カード 26 に供給する。またホスト側シリアルインターフェイス回路 24 は、IC カード 26 から供給され、この IC カード 26 の動作状態を示すステータス (STATUS) 信号を取得する。

【0022】ホスト側コントローラ 25 は、データ処理部 22 のデータ処理動作、ホスト側シリアルインターフェイス回路 24 の各データの伝送動作の制御を行う。また、ホスト側コントローラ 25 は、IC カード 26 への制御命令となるコマンドをレジスタ 28 を介して IC カード 26 に供給する。

【0023】一方、IC カード 26 のメモリ 27 は、例えば、フラッシュメモリ等からなり、データ処理部 22 から供給されたデータを記憶する。

【0024】レジスタ 28 は、メモリ 27 とカード側シリアルインターフェイス回路 29 とのバッファである。つまり、メモリ 27 が装置本体 21 からのデータを書き込む場合は、このレジスタ 23 に一時データを格納した後に書き込むデータをメモリ 27 に供給する。同様に、装置本体 21 がメモリ 27 からデータを読み出す場合は、このレジスタ 23 に一時データを格納した後に読み出すデータをカード側シリアルインターフェイス回路 29 に供給する。すなわち、このレジスタ 28 は、フラッシュメモリのいわゆるページバッファの機能等を果たす回路である。

【0025】カード側シリアルインターフェイス回路 29 は、カード側コントローラ 30 の制御に基づき、メモリ 27 から供給されるパラレル信号のデータおよびカード側コントローラ 30 から供給されるコマンドをシリアル信号に変換して装置本体 21 に供給する。また、カード側シリアルインターフェイス回路 29 は、装置本体 21 から供給されるシリアル信号のデータおよびコマンドをパラレル信号に変換して、メモリ 27 およびカード側コントローラ 30 に供給する。

【0026】また、カード側シリアルインターフェイス回路 29 は、各種データおよびコマンドの同期信号 (CLK) 等を装置本体 21 に供給する。また、カード側シリアルインターフェイス回路 29 は、ステータス信号を装置本体 21 に供給する。

6

【0027】カード側コントローラ 30 は、メモリ 27 のデータの記憶動作、読み出し動作および消去動作等を装置本体 21 から供給されるコマンド等に基づき制御する。また、カード側コントローラ 30 は、カード側シリアルインターフェイス回路 29 の各データの伝送動作の制御を行う。また、ホスト側コントローラ 25 は、IC カード 26 へのステータス信号を IC カード 26 に供給する制御を行う。

【0028】以上のような装置本体 21 および IC カード 26 の間のデータの伝送は、ホスト側シリアルインターフェイス回路 24 とカード側シリアルインターフェイス回路 29 との間に設けられた伝送ラインを介して行われる。

【0029】装置本体 21 のホスト側シリアルインターフェイス回路 24 と、IC カード 26 のカード側シリアルインターフェイス回路 29 の間には、CLK ライン 31 と、コントロールライン 32 と、DT ライン 33 との 3 本の信号ラインが設けられている。

【0030】DT ライン 33 には、主データ、すなわち、データ処理部 22 によりデータ処理をしてメモリ 27 に書き込むデータおよびメモリ 27 からデータ処理部 22 に読み出すデータが伝送される。また、この DT ライン 33 には、装置本体 21 から IC カード 26 に供給する制御命令となるコマンドと、IC カード 26 から装置本体 21 に供給されるコマンドが伝送される。すなわち、この DT ライン 33 には、主データおよびコマンドが、シリアル信号で双方向伝送される。

【0031】また、DT ライン 33 には、一端が接地された抵抗 33a が取り付けられている。この抵抗 33a は、いわゆるプルダウン抵抗であり、ホスト側シリアルインターフェイス回路 24 とカード側シリアルインターフェイス回路 29 との間での、DT ライン 33 による信号の送受信がなされていないとき、DT ライン 33 の信号レベルは、ローレベルとなる。換言すれば、DT ライン 33 による信号の送受信がなされていないとき、DT ライン 33 の信号レベルは、上記抵抗 33a の抵抗値等によって定まる一定のレベルとなる。

【0032】なお、ここでは、抵抗 33a として、いわゆるプルダウン抵抗を採用し、DT ライン 33 による信号の送受信がなされていないとき、DT ライン 33 の信号レベルがローレベルとなるようにしたが、抵抗 33a として、いわゆるプルアップ抵抗を採用し、DT ライン 33 による信号の送受信がなされていないとき、DT ライン 33 の信号レベルがハイレベルとなるようにしてもよい。CLK ライン 31 では、クロック信号が装置本体 21 と IC カード 26 間で双方向に伝送される。

【0033】コントロールライン 32 には、コントロール信号が装置本体 21 から IC カード 26 に伝送される。このコントロール信号が供給されている期間、例えばハイレベルとなっている期間、上述した主データおよ

びコマンドが伝送される。

【0034】ここで、上述したDTライン33には、主データおよびコマンドに加えて、IC26の動作状態を示すステータス(STATUS)信号がICカード26から装置本体21に供給される。このICカード26からのステータス信号は、DTライン33に主データおよびコマンドが伝送されていない期間、すなわち、コントロール信号が供給されていない期間例えば、ローレベルの期間に供給される。このステータス信号には、ICカード26が処理を行っていることを示すビジー(BUSY)信号がある。例えば、ICカード26が書き込み処理をおこなっている場合であって、装置本体21からのアクセスを禁止するときには、このビジー信号がICカード26から装置本体21に供給される。また、このステータス信号には、ICカード26から装置本体21に対しての割り込みを示すインタラプト(INTERRUPT)信号がある。例えば、ICカード26から装置本体21に対して割り込み命令を要求するときには、このインタラプト信号が供給される。なお、このビジー信号やインタラプト信号は一例であり、ステータス信号としてICカード26の動作状態を示す信号であればどんな信号であってもよい。

【0035】図6は、ICカード26からデータを読み出す時のタイミングを示す。装置本体21とICカード26との間で、何等データの送受信がされていない状態では、コントロールライン32がローレベルとなっている。これが状態0(初期状態)である。そして、タイミングt31において、装置本体21がコントロールライン32をハイレベルとし、状態1となる。

【0036】ICカード26はコントロールライン32がハイレベルに切り替わったことによって、状態0から状態1へ変化したことを検出する。状態1では、DTライン33を介して装置本体21からICカード26に対して読み出しコマンドが送信され、ICカード26が読み出しコマンドを受信する。この読み出しコマンドは、シリアルインターフェイス用のTPCと称されるプロトコルコマンドである。後述するように、プロトコルコマンドによって、通信の内容と後続するデータのデータ長が特定される。

【0037】コマンドの送信が完了したタイミングt32において、コントロールライン32がハイレベルからローレベルに切り替えられる。それによって、状態1から状態2へ遷移する。状態2では、ICカード26が受信したコマンドで指示される処理、具体的には、読み出しコマンドで指定されたアドレスのデータをメモリ27から読み出す処理を行う。この処理がなされている間、DTライン33を介してビジー信号(ハイレベル)が装置本体21に送信される。

【0038】そして、メモリ27からデータの読み出しが完了したタイミングt33において、ビジー信号の出

力が停止され、装置本体21に対してICカード26からデータを送出する準備ができたことを示すレディー信号(ローレベル)の出力が開始される。

【0039】装置本体21は、ICカード26からレディー信号を受信することによって、読み出しコマンドに対応する処理が準備できたことを知り、タイミングt34において、コントロールライン32をハイレベルに切り替える。すなわち、状態2から状態3へ遷移する。

【0040】状態3になると、ICカード26は、状態2においてレジスタ28に読み出したデータをDTライン33を介して装置本体21に対して出力する。読み出しデータの転送が完了したタイミングt35において、装置本体21は、クロック信号の送信を止めると共に、ステータス線をハイレベルからローレベルへ切り替える。それによって、状態3から初期状態(状態0)に遷移する。

【0041】なお、ICカード26の内部状態に変化が生じて何らかの割り込み処理を行う必要が発生すると、ICカード26は、タイミングt36で示すように、状態0において、割り込みを示すインタラプト信号をDTライン33を介してデータ処理装置に供給する。装置本体21は、状態0でICカード26からDTライン33を介して信号が供給された場合、その信号がインタラプト信号であることを認識できるように設定されている。装置本体21がインタラプト信号を受け取ると、そのインタラプト信号に基づいて必要な処理を行う。

【0042】図7は、ICカード26のメモリ27に対してデータを書き込む時のタイミングチャートである。初期状態(状態0)では、CLKライン31の伝送がされない。タイミングt41において、装置本体21がコントロールライン32をローレベルからハイレベルに切り替える。それによって、DTライン33を介して書き込みコマンドが伝送される状態1に遷移する。ICカード26は、状態1において、コマンドを取得するように準備する。タイミングt41からコマンドがDTライン33を介してICカード26に伝送され、ICカード26がこの書き込みコマンドを取得する。

【0043】書き込みコマンドの送信が完了したタイミングt42において、装置本体21がコントロールライン32をハイレベルからローレベルに切り替える。それによって、状態1から状態2へ遷移する。状態2では、装置本体21が書き込みデータをDTライン33を介してICカード26に伝送する。ICカード26では、受け取った書き込みデータがレジスタ28に蓄えられる。

【0044】書き込みデータの伝送が終了するタイミングt43において、コントロールライン32がローレベルからハイレベルへ切り替えられ、状態2から状態3へ遷移する。状態3において、ICカード26は、書き込みデータをメモリ27へ書き込む処理を行う。状態3において、ICカード26は、DTライン33を介してビ

ジー信号（ハイレベル）を装置本体 21 に対して送信する。装置本体 21 は、書き込みコマンドを送信し、且つ現状の状態が状態 3 であることから、IC カード 26 から送信される信号がステータス信号であると判断する。

【0045】IC カード 26 において、書き込みデータの書き込み処理が終了すると、終了したタイミング t44 において、ビジー信号の出力を停止し、レディー信号（ローレベル）を装置本体 21 に対して送信する。装置本体 21 は、レディー信号を受信すると、書き込みコマンドに対応する書き込み処理が完了したものと判断し、クロック信号の送信を止めると共に、タイミング t45 においてコントロールライン 32 をハイレベルからローレベルへ切り替える。それによって、状態 3 から状態 0（初期状態）に戻る。

【0046】さらに、状態 0 において、IC カード 26 から DT ライン 33 を介してハイレベルの信号を装置本体 21 が受け取った場合には、装置本体 21 がこの信号をインタラプト信号と認識する。そして、装置本体 21 は、受信したインタラプト信号に基づいて必要な処理を行う。例えば IC カード 26 を装置本体 21 から取り外した時に、IC カード 26 がインタラプト信号を発生する。

【0047】上述した読み出し動作、書き込み動作以外においても、状態 1 において、コマンドが伝送され、その後の状態 2 において、コマンドに対応するデータが伝送される。

【0048】上述した IC カードの外観を図 8 に示す。また、IC カード 41 を図 8 中 H 方向から見た図を図 9 に示し、IC カード 41 を図 8 中 I 方向から見た図を図 10 に示す。この IC カード 41 は、平面形状が略長方形をしている。また IC カード 41 は、長辺方向の第 1 の側面 42 の両側端部に、装着用の切欠部 44a、44b が形成されている。また、図 9 に示すように、第 1 の側面と平行な第 2 の側面 43 の両側端部にも、装着用の切欠部 44c、44d が形成されている。

【0049】この発明は、上述したリムーバブルな IC カードおよび装置本体に適用されるものである。例えば図 5 中のホスト側シリアルインターフェイス 24 とカード側シリアルインターフェイス 29 間のデータ通信に対してこの発明が適用される。図 11 は、この発明による IC カードシステムを示すものである。装置本体 11 と IC カード 12 間でデータ通信を行うために、クロック信号とこれに同期して入出力されるデータ信号とが使用される。データ信号のみならず、クロック信号も双方向通信とされる。

【0050】図 12 は、この発明の一実施形態を示す。FF1R、FF1S、FF2R、FF2S がそれぞれフリップフロップであり、データ入力 D、データ出力 Q を備えている。101R、102R、CK1R、CK2R がそれぞれ入力バッファであり、101S、102S、

CK1S、CK2S がそれぞれ出力バッファである。出力バッファ 101S、102S、CK1S、CK2S がそれぞれトライステートバッファの構成とされている。装置本体 11 がクロック発生器 13 を備えており、IC カード 12 がクロック発生器 14 を備えている。また 1DE、2DE は制御信号であり、DATA、CLK は、装置本体 11 と IC カード 12 間の伝送路である。

【0051】まず、装置本体 11 から IC カード 12 に対してデータを送信する場合について説明する。トライステートバッファ 101S、CK1S が制御信号 1DE により出力イネーブル状態にセットされ、トライステートバッファ 102S、CK2S が制御信号 2DE により出力ハインピーダンス状態にセットされ、フリップフロップ FF1S からフリップフロップ FF2R へデータが伝送される。クロック信号は、装置本体 11 のクロック発生器 13 により生成され、（出力バッファ CK1S → 伝送路 CLK → 入力バッファ CK2R）という経路を経て、フリップフロップ FF2R のクロック入力へと入力される。

【0052】データ信号は、クロック発生器 13 からフリップフロップ FF1S のクロック入力に入力されるクロック信号の上昇エッジ（立ち上がりエッジ）に同期してフリップフロップ FF1S から出力され、（出力バッファ 101S → 伝送路 DATA → 入力バッファ 102R）という経路を経て、フリップフロップ FF2R のデータ入力へ入力され、フリップフロップ FF2R のクロック入力の上昇エッジに同期して取り込まれる。

【0053】次に、IC カード 12 から装置本体 11 に対してデータを送信する場合について説明する。トライステートバッファ 101S、CK1S が制御信号 1DE により出力ハインピーダンス状態にセットされ、トライステートバッファ 102S、CK2S が制御信号 2DE により出力イネーブル状態にセットされ、フリップフロップ FF2S からフリップフロップ FF1R へデータが伝送される。クロック信号は、IC カード 12 のクロック発生器 14 により生成され、（出力バッファ CK2S → 伝送路 CLK → 入力バッファ CK1R）という経路を経て、フリップフロップ FF1R のクロック入力へと入力される。

【0054】データ信号は、クロック発生器 14 からフリップフロップ FF2S のクロック入力に入力されるクロック信号の上昇エッジに同期してフリップフロップ FF2S から出力され、（出力バッファ 102S → 伝送路 DATA → 入力バッファ 101R）という経路を経て、フリップフロップ FF1R のデータ入力へ入力され、フリップフロップ FF1R のクロック入力の上昇エッジに同期して取り込まれる。

【0055】図 13 は、IC カード 12 から装置本体 11 へのデータ送信を示すシステム構成図である。また図 14 は、図 13 のタイミングチャートである。以下、図

10

20

30

40

50

13および図14について説明する。

【0056】ICカード12から装置本体11方向へのデータ通信は、図13に示すように、フリップフロップFF2SからフリップフロップFF1Rへのデータ通信となる。フリップフロップFF2Sのクロック信号に対して、フリップフロップFF1Rのクロック信号は、出力バッファCK2Sの遅延と伝送路CLKの遅延と入力バッファCK1Rの遅延の合計値の遅延を有する。この遅延をクロック遅延TD11と表記する。

【0057】また、フリップフロップFF2Sクロック10 入力の上昇エッジのタイミングから、フリップフロップFF1Rデータ入力に到達するまでの遅延は、フリップフロップFF2Sの遅延と出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値なる。このフリップフロップFF2Sの遅延をデータ遅延TD13と表記し、出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値をデータ遅延TD12と表記する。

【0058】ここで、4つの出力バッファ102S、CK2S、101R、CK1Rを同一タイプの出力バッファとし、伝送路DATAと伝送路CLKに使用するコネクタを同一のものとし、伝送路にケーブルを使用する場合には伝送路DATAと伝送路CLKのケーブル長をそろえることにしておけば、クロック遅延TD11とデータ遅延TD12がほぼ等しくなり、図14に示すように、データ遅延TD13のみがタイミング余裕を減少させる原因となる。したがって、図14に示されるように、タイミング余裕の減少を抑えることができ、従来の方式に比してより高速の通信が可能となる。

【0059】図15は、装置本体51とICカード52とから構成されるこの発明の他の実施形態を示す。上述した一実施形態(図12参照)と比較すると、クロック信号の伝送路をCLK_HおよびCLK_Cに分離している点が相違する。他の実施形態では、クロック用伝送路を2本必要とするが、ICカード側52にクロック発生器を必要とせずに、クロック信号の双方向通信が可能になるという利点がある。

【0060】図15において、FF1R、FF1S、FF2R、FF2Sがそれぞれフリップフロップであり、データ入力D、データ出力Qを備えている。101R、102R、CK1R、CK2Rがそれぞれ入力バッファであり、101S、102S、CK1S、CK2Sがそれぞれ出力バッファである。出力バッファ101S、102Sがトライステートバッファで構成されている。1DE、2DEが制御信号であり、装置本体51がクロック発生器53を備えている。クロック信号は伝送路CLK_Hを経由して装置本体51からICカード52方向に伝送され、また、伝送路CLK_Cを経由してICカード52から装置本体51方向に伝送される。データ信号は、伝送路DATAを経由して装置本体51とICカ

ード52間を双方向に伝送される。

【0061】まず、装置本体51からICカード52方向にデータ通信をする場合について説明する。トライステートバッファ101Sが制御信号1DEにより出力イネーブル状態にセットされ、トライステートバッファ102Sは制御信号2DEにより出力ハイインピーダンス状態にセットされ、フリップフロップFF1SからフリップフロップFF2Rへのデータ伝送となる。クロック信号は、装置本体51のクロック発生器53により生成され、(出力バッファCK1S→伝送路CLK_H→入力バッファCK2R)という経路を経て、フリップフロップFF2Rのクロック入力へ入力される。

【0062】データ信号は、クロック発生器53からフリップフロップFF1Sクロック入力に入力されるクロック信号の上昇エッジに同期してフリップフロップFF1Sから出力され、(出力バッファ101S→伝送路DATA→入力バッファ102R)という経路を経て、フリップフロップFF2Rデータ入力へ入力され、フリップフロップFF2Rのクロック入力の上昇エッジに同期してとりこまれる。

【0063】次に、ICカード52から装置本体51方向にデータ通信をする場合について説明する。トライステートバッファ101Sが制御信号1DEにより出力ハイインピーダンス状態にセットされ、トライステートバッファ102Sが制御信号2DEにより出力イネーブル状態にセットされ、フリップフロップFF2SからフリップフロップFF1Rへのデータ伝送となる。クロック信号は、装置本体51のクロック発生器53により生成され、(出力バッファCK1S→伝送路CLK_H→入力バッファCK2R→出力バッファCK2S→伝送路CLK_C→入力バッファCK1R)という経路を経て、フリップフロップFF1Rのクロック入力へ入力される。

【0064】データ信号は、クロック発生器53から(出力バッファCK1S→伝送路CLK_H→入力バッファCK2R)という経路を経て、フリップフロップFF2Sのクロック入力に入力されるクロック信号の上昇エッジに同期してフリップフロップFF2Sから出力され、(出力バッファ102S→伝送路DATA→入力バッファ101R)という経路を経て、フリップフロップFF1Rのデータ入力へ入力され、フリップフロップFF1Rのクロック入力の上昇エッジに同期して取り込まれる。

【0065】図16は、ICカード52から装置本体51に対するデータ通信を示すシステム構成図である。また、タイミングチャートは、図14と同様であるため、その図示を省略する。

【0066】ICカード52から装置本体51方向へのデータ通信は、図16に示すように、フリップフロップFF2SからフリップフロップFF1Rへのデータ通信となる。クロック発生器53からフリップフロップFF

10

20

30

40

50

2 S のクロック入力に至るクロック遅延は、出力バッファ CK1 S の遅延と伝送路 CLK_H の遅延と入力バッファ CK2 R の遅延の合計値となる。この遅延をクロック遅延 TD5 4 と表記する。入力バッファ CK2 R からフリップフロップ FF1 R のクロック入力に至るクロック遅延は、出力バッファ CK2 S の遅延と伝送路 CLK_C の遅延と入力バッファ CK1 R の遅延の合計値となる。この遅延をクロック遅延 TD5 1 と表記する。また、フリップフロップ FF2 S クロック入力の上昇エッジタイミングから、フリップフロップ FF1 R データ入力に到達するまでの遅延は、フリップフロップ FF2 S の遅延と出力バッファ 102 S の遅延と伝送路 DATA の遅延と入力バッファ 101 R の遅延の合計値となる。このフリップフロップ FF2 S の遅延をデータ遅延 TD5 3 と表記し、102 S の遅延と伝送路 DATA の遅延と 101 R の遅延の合計値をデータ遅延 TD5 2 と表記する。

【0067】ここで、クロック発生器からフリップフロップ FF2 S クロック入力までのクロック遅延は TD5 4 であり、クロック発生器 53 からフリップフロップ FF1 R のクロック入力までのクロック遅延は遅延 TD5 4 + 遅延 TD5 1 であるので、結果としてフリップフロップ FF2 S のクロック信号に対して、フリップフロップ FF1 R のクロック信号が遅延 TD5 1 だけ遅延している。データ遅延 TD5 3 のみがタイミング余裕を減少させる原因となるため、従来の IC カードの例よりも、より高速の通信をできるようにすることができる。

【0068】この発明は、上述したこの発明の一実施形態等に限定されるものではなく、この発明の要旨を逸脱しない範囲内で様々な変形や応用が可能である。例えばこの発明は、データをシリアルに通信する例に限らず、パラレルで通信する場合に対しても適用することができる。

【0069】

【発明の効果】この発明は、クロック信号に同期してデータ信号を入出力する IC カードにおいて、クロック信号を IC カードからも出力できるように構成すると共に、クロック信号とデータ信号の遅延時間の差をなくすように構成することで、IC カードから出力されるデータの通信をより高速に行うことができ、大量のデータを短時間で伝送することが可能となる。

【図面の簡単な説明】

【図1】従来の装置本体と IC カード間のデータ通信方法を示すブロック図である。

【図2】図1の詳細を示すシステム構成図である。

【図3】IC カードから装置本体方向のデータ通信を示すシステム構成図である。

【図4】図3の説明に用いるタイミングチャートである。

【図5】この発明を適用できる IC カードシステムの一例のブロック図である。

【図6】IC カードシステムの説明のためのタイミングチャートである。

【図7】IC カードシステムの説明のためのタイミングチャートである。

【図8】この発明を適用できる IC カードの形状の一例を示す斜視図である。

【図9】図8の IC カードを図中 H 方向から見た図である。

【図10】図8の IC カードを図中 I 方向から見た図である。

【図11】この発明による IC カードシステムの概略を示すブロック図である。

【図12】この発明の一実施形態のブロック図である。

【図13】この発明の一実施形態における IC カードから装置本体に対するデータ通信を説明するためのブロック図である。

【図14】図13の説明に用いるタイミングチャートである。

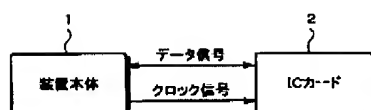
【図15】この発明の他の実施形態のブロック図である。

【図16】この発明の他の実施形態における IC カードから装置本体に対するデータ通信を説明するためのブロック図である。

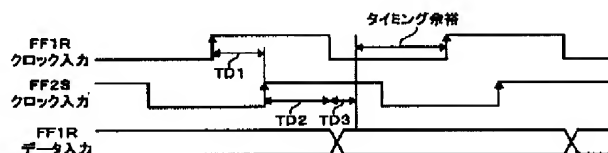
【符号の説明】

1 DE・・・制御信号、1, 11, 21, 51・・・装置本体、2, 12, 26, 41, 52・・・IC カード、2 DE・・・制御信号、3, 13, 14, 53・・・クロック発生器、CLK, DATA・・・伝送路、D・・・データ入力、FF1 S, FF2 R, FF2 S, FF1 R・・・フリップフロップ、Q・・・データ出力、TD1, TD11, TD51, TD54・・・クロック遅延、TD2, TD3, TD12, TD13, TD52, TD53・・・データ遅延

【図1】



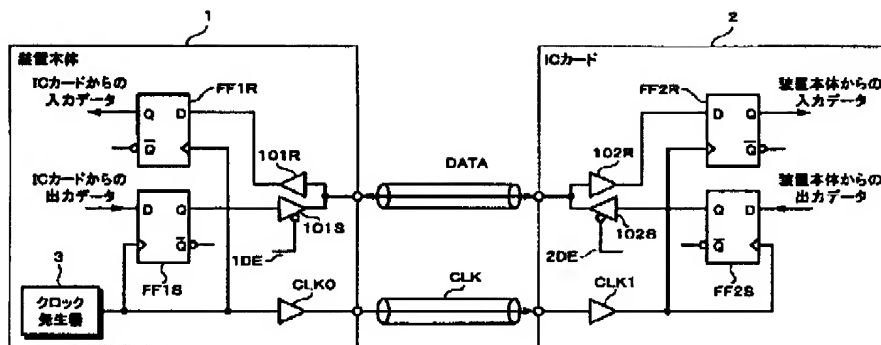
【図4】



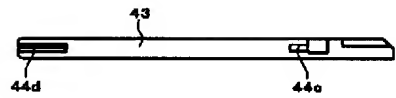
【図10】



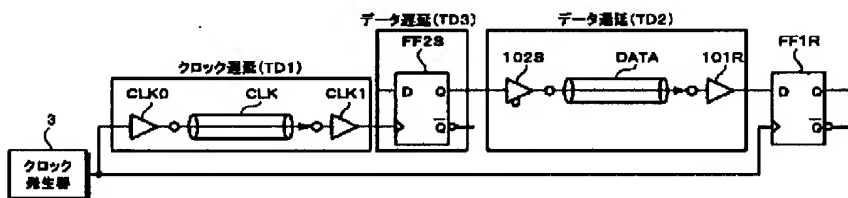
【図 2】



【図 9】



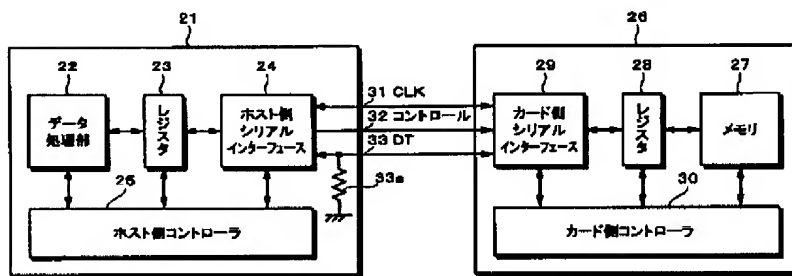
【図 3】



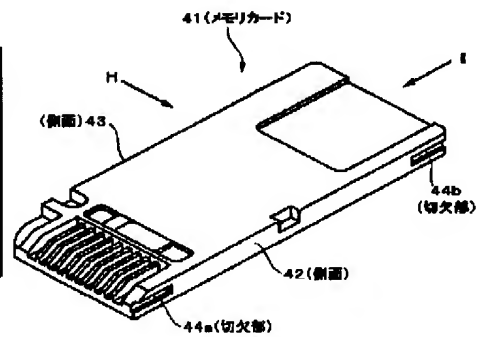
【図 11】



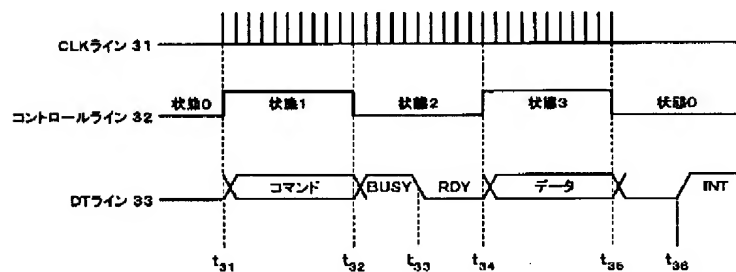
【図 5】



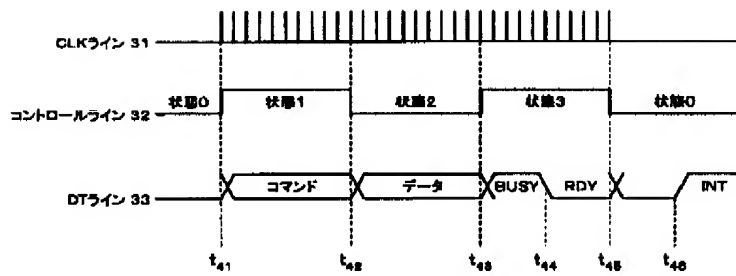
【図 8】



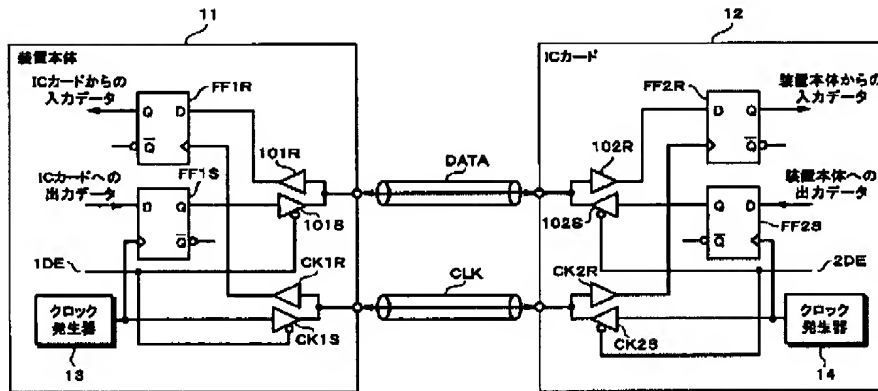
【図 6】



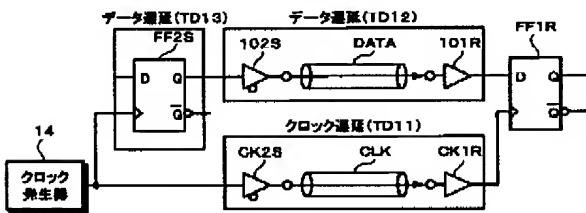
【図 7】



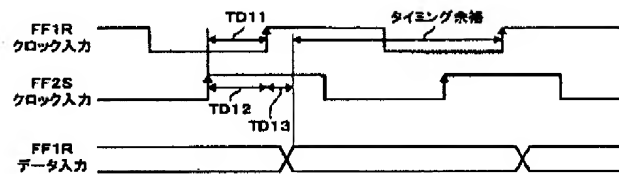
【図 12】



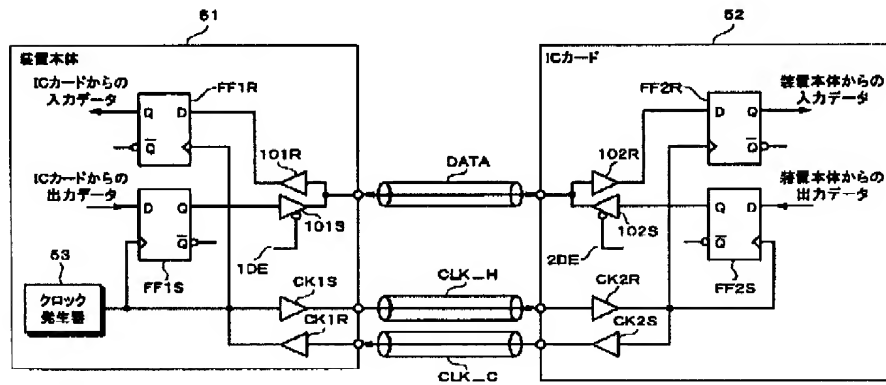
【図 13】



【図 14】



【図 15】



【図 16】

